

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-130999 ✓  
(43)Date of publication of application : 16.05.1997 ↵

---

(51)Int.Cl. H02J 17/00  
G06K 17/00

---

(21)Application number : 07-306445 (71)Applicant : NIPPON STEEL CORP  
(22)Date of filing : 31.10.1995 (72)Inventor : SAWADA KIKUZO  
ISHII HIDEKAZU

---

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SOUND POWERED RFID USING THIS DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a sound powered RFID which can prevent the supply of overpower when a communication distance with a host station becomes shorter and also can prevent a malfunction when the supplied power decreases because of an extended communication distance.

SOLUTION: A voltage regulator 2 is provided for regulating a DC voltage generated by a voltage commutation circuit 1 so as not to make it exceed a given value. This can prevent a DC voltage used as an internal supply voltage from building up more than required even if a high AC voltage is generated because of the electromagnetic induction caused by a shortened communication distance. Also a reset circuit 3 is provided for resetting CPUs and EEPROMs when the DC voltage above decreases below the given level. This makes it possible for the CPUs and EEPROMs to stop operating in the case where there is a risk that an extended communication distance causes the internal supply voltage to drop to a level at which the CPUs and EEPROMs cannot operate properly.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is a semiconductor integrated circuit device which contains a voltage commutation means which rectifies an AC signal which was generated by electromagnetic induction and supplied from an electric wave transmitted from the

exterior and makes internal electrical power source voltage of a direct current A semiconductor integrated circuit device provided with a voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

[Claim 2]A semiconductor integrated circuit device comprising:

A memory measure for memorizing data.

CPU which operates according to a memory content of the above-mentioned memory measure.

It is a semiconductor integrated circuit device which contains a voltage commutation means which rectifies an AC signal which was generated by electromagnetic induction and supplied from an electric wave transmitted from the exterior and makes internal electrical power source voltage of a direct current A resetting means which makes a reset state the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means is below a predetermined level.

[Claim 3]RFID of a non-cell method which builds in a semiconductor integrated circuit device made as [ make / while transmitting and receiving data between the exteriors using an electric wave characterized by comprising the following / from a received electric wave / internal electrical power source voltage ].

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

[Claim 4]While transmitting and receiving data based on an electric wave between the exteriors according to control by memory measure characterized by comprising the following for memorizing dataCPU which operates according to a memory content of the above-mentioned memory measure and the above-mentioned CPURFID of a non-cell method which builds in a semiconductor integrated circuit device provided with the power/transmission and reception means which makes internal electrical power source voltage from a received electric wave.

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A resetting means which makes a reset state the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means is below a predetermined level.

[Claim 5]While transmitting and receiving data based on an electric wave between the exteriors according to control by memory measure characterized by comprising the following for memorizing dataCPU which operates according to a memory content of the above-mentioned memory measureand the above-mentioned CPURFID of a non-cell method which builds in a semiconductor integrated circuit device provided with the power/transmission and reception means which makes internal electrical power source voltage from a received electric wave.

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

A resetting means which carries out the reset state of the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means is below a predetermined level.

[Claim 6]When direct current voltage obtained by the above-mentioned voltage commutation means becomes large graduallythe above-mentioned resetting meansWhen the above-mentioned direct current voltage becomes larger than the 1st thresholdwhile canceling a reset state of the above-mentioned CPU and the above-mentioned memory measureWhen direct current voltage obtained by the above-mentioned voltage commutation means becomes small graduallyWhen the above-mentioned direct current voltage becomes smaller than the 2nd thresholdthe above-mentioned memory measure is made into a reset stateRFID of the non-cell method according to claim 4 or 5 carrying out the reset state of the above-mentioned CPU when the above-mentioned direct current voltage becomes smaller than the 3rd threshold smaller than the 2nd threshold of the above.

[Claim 7]RFID of the non-cell method according to claim 6wherein the 2nd threshold of the above is smaller than the 1st threshold of the above.

[Claim 8]RFID of a non-cell method which builds in a semiconductor integrated circuit device made as [ make / while transmitting and receiving data between the exteriors using an electric wave characterized by comprising the following / from a received electric wave / internal electrical power source voltage ].

A voltage generating means which generates a volts alternating current by

electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A power storage means which stores electricity direct current power obtained by the above-mentioned voltage commutation means.

A control means controlled to use direct current power accumulated in the above-mentioned power storage means as internal electrical power source electric power when direct current voltage obtained by the above-mentioned voltage commutation means becomes smaller than a predetermined level.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to RFID (Radio Frequency Identification) of a non-cell method which used a semiconductor integrated circuit device and this.

#### [0002]

[Description of the Prior Art] In recent years the IC card which built in IC (integrated circuit) is being used in various fields. The conventional IC card builds in EEPROM (electrically eliminable programmable ROM).

It was made as [ execute / using the data memorized by this EEPROM / memorize data to the above-mentioned EEPROM or / a predetermined command ].

[0003] However it was dramatically troublesome in order to have to insert an IC card in readers for exclusive uses such as a card reader when using such an IC card. Then by exchanging data the host side these days using the electric wave of a radio frequency band. The IC card (Radio Frequency Identification) i.e. RFID or data carrier of the noncontact method it enabled it to operate simple without inserting a card one by one has come to be proposed.

[0004] By the way in order to operate the above-mentioned RFID it is required for the built-in IC to supply electric power. Therefore many RFID(s) which built in the cell for IC drive were proposed conventionally. On the other hand in recent years RFID of the non-cell method which enabled it to make electric power inside using the electric wave sent from the host side is also proposed.

[0005] That is in RFID of such a non-cell method it was made as [ make / electric power required for IC drive / inside ] by generating a volts alternating current by electromagnetic induction from the electric wave sent from the host side and

rectifying it to direct current voltage.

[0006]EEPROM for RFID of such a non-cell method to memorize various data conventionallyIt was common to have had a logical circuit which operates according to the data memorized by the above-mentioned EEPROMan RF section for performing an exchange of data the host side using an electric waveand a power part which makes electric power using the electric wave sent from the host side.

[0007]

[Problem(s) to be Solved by the Invention]In RFID of the above-mentioned conventional non-cell methodthe size of the electromotive force by electromagnetic induction changes in proportion to the square of the distance (communication range) of a host and RFID. For this reasonwhen the communication range became short too muchexcessive electric power will be supplied to IC and there was a problem of applying the big burden more than needed to IC.

[0008]On the other handif a communication range separatesthe electric power supplied to IC will become smalland the above-mentioned IC will cease to operate by a power failure. In this casethe IC is continuing operating [ come ] to the limit that the conventional RFID stops operating by a power failure. Howevernowin spite of fully not obtaining electric power required in order that the IC may operate normallythe IC will continue operatingand there was a problem that malfunction might be caused.

[0009]The purpose of this invention is as follows.

Accomplish in order to solve such a problemand when a communication range with a host becomes shortexcessive electric power should be supplied.

Don't malfunctionwhen the electric power supplied by a communication range with a host becoming long decreases.

[0010]

[Means for Solving the Problem]A semiconductor integrated circuit device of this invention is a semiconductor integrated circuit device which contains a voltage commutation means which rectifies an AC signal which was generated by electromagnetic induction and supplied from an electric wave transmitted from the exteriorand makes internal electrical power source voltage of a direct currentIt is characterized by having a voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

[0011]A memory measure for a place by which it is characterized [ of this invention / other ] to memorize dataIt is a semiconductor integrated circuit device which contains a voltage commutation means which rectifies an AC signal which was generated by electromagnetic induction and supplied from CPU which operates according to a memory content of the above-mentioned memory measureand an electric wave transmitted from the exteriorand makes internal electrical power source voltage of a direct currentWhen direct current voltage obtained by the above-

mentioned voltage commutation means is below a predetermined level it is characterized by having a resetting means which makes a reset state the above-mentioned CPU and the above-mentioned memory measure.

[0012]As for this inventionRFID of a non-cell method of this invention is characterized by that RFID of a non-cell method which builds in a semiconductor integrated circuit device made as [ make / from a received electric wave / internal electrical power source voltage ] comprises the following while transmitting and receiving data between the exteriors using an electric wave.

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

[0013]While this invention transmits and receives data based on an electric wave between the exteriors according to control by memory measure for memorizing dataCPU which operates according to a memory content of the above-mentioned memory measureand the above-mentioned CPUa place by which it is characterized [ of this invention / other ]RFID of a non-cell method which builds in a semiconductor integrated circuit device provided with the power/transmission and reception means which makes internal electrical power source voltage from a received electric wave is characterized by comprising:

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A resetting means which makes a reset state the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means is below a predetermined level.

[0014]A place by which it is characterized [ of others of this invention ] this inventionWhile transmitting and receiving data based on an electric wave between the exteriors according to control by memory measure for memorizing dataCPU which operates according to a memory content of the above-mentioned memory measureand the above-mentioned CPURFID of a non-cell method which builds in a semiconductor integrated circuit device provided with the power/transmission and reception means which makes internal electrical power source voltage from a

received electric wave is characterized by comprising:

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A voltage control means controlled so that a size of direct current voltage obtained by the above-mentioned voltage commutation means does not become larger than a predetermined value.

A resetting means which carries out the reset state of the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means is below a predetermined level.

[0015]A place by which it is characterized [ of others of this invention ] the above-mentioned resetting meansWhile canceling a reset state of the above-mentioned CPU and the above-mentioned memory measure when direct current voltage obtained by the above-mentioned voltage commutation means becomes large graduallyand the above-mentioned direct current voltage becomes larger than the 1st thresholdWhen direct current voltage obtained by the above-mentioned voltage commutation means becomes small graduallyWhen the above-mentioned direct current voltage becomes smaller than the 2nd thresholdthe above-mentioned memory measure is made into a reset stateand when the above-mentioned direct current voltage becomes smaller than the 3rd threshold smaller than the 2nd threshold of the aboveit is characterized by carrying out the reset state of the above-mentioned CPU.

[0016]A place by which it is characterized [ of others of this invention ] is characterized by the 2nd threshold of the above being smaller than the 1st threshold of the above.

[0017]As for a place by which it is characterized [ of others of this invention ]this invention is characterized by that RFID of a non-cell method which builds in a semiconductor integrated circuit device made as [ make / from a received electric wave / internal electrical power source voltage ] comprises the following while transmitting and receiving data between the exteriors using an electric wave.

A voltage generating means which generates a volts alternating current by electromagnetic induction from an electric wave transmitted from the exterior of the above-mentioned RFID.

A voltage commutation means to rectify a volts alternating current generated by the above-mentioned voltage generating means to direct current voltage.

A power storage means which stores electricity direct current power obtained by the above-mentioned voltage commutation means.

A control means controlled to use direct current power accumulated in the above-mentioned power storage means as internal electrical power source electric power

when direct current voltage obtained by the above-mentioned voltage commutation means becomes smaller than a predetermined level.

[0018]It is controlled so that a size of direct current voltage used as internal electrical power source voltage does not become large more than neededeven if a voltage level of an AC signal which was generated by electromagnetic induction and supplied from an electric wave transmitted from the exterior of a semiconductor integrated circuit device becomes very largesince this invention comprises the above-mentioned arts means. For examplewhen a semiconductor integrated circuit device of this invention is applied to RFID of a non-cell method. It is controlled so that a size of direct current voltage used as internal electrical power source voltage does not become large more than neededeven if a communication range of RFID and a communications-partner device becomes short and a volts alternating current generated by electromagnetic induction becomes very large.

[0019]According to other features of this inventiona voltage level of an AC signal which was generated by electromagnetic induction and supplied from an electric wave transmitted from the exterior of a semiconductor integrated circuit device becomes smallWhen internal electrical power source voltage generated becomes small even on a level with a possibility that it may become impossible for CPU and the memory measure to operate normallyit is lost that CPU and the memory measure continue operating. For examplewhen a semiconductor integrated circuit device of this invention is applied to RFID of a non-cell method. When a communication range of RFID and a communications-partner device becomes long and a size of direct current voltage generated by a voltage commutation means becomes small even on a level with a possibility that it may become impossible for CPU and the memory measure to operate normallyit is lost that CPU and the memory measure continue operating.

[0020]When CPU and a memory measure are made reset by resetting means according to the feature of others of this inventionA memory measure is reset firstwriting of data is forbiddenCPU comes to be reset after that and inconvenience by which data mistaken by malfunction at the time of reset will be written in a memory measure is prevented.

[0021]Since the 2nd threshold by which a memory measure is made a reset state is smaller than the 1st threshold of which a reset state of CPU and a memory measure is canceled according to the feature of others of this inventionIf not smaller than the 2nd threshold even if internal electrical power source voltage generated by a voltage commutation means is smaller than the 1st thresholda memory measure becomes as [ reset ]A memory measure becomes as [ reset / when internal electrical power source voltage is less than the 1st threshold by change of a voltage level which is not meant / memory measure / simply ].

[0022]While according to the feature of others of this invention sufficient internal electrical power source voltage for RFID of this invention to carry out normal

operation is obtained and accumulation of electricity is performed when a size of internal electrical power source voltage becomes small even on a level with a possibility of stopping being able to carry out normal operation of the built-in IC internal electrical power source electric power which electric power which it stored electricity [ above-mentioned ] comes to be used as internal electrical power source electric power and makes normal operation possible is longer -- time reservation comes to be carried out.

[0023]

[Embodiment of the Invention] Hereafter one embodiment of this invention is described based on a drawing. Drawing 1 is a block diagram showing the composition of the power/RF section which expresses best the feature of RFID of the non-cell method by this embodiment and drawing 2 is a block diagram showing the composition of RFID using the power/RF section shown in drawing 1 of a non-cell method.

[0024] First the entire configuration of RFID of a non-cell method and operation by this embodiment are explained using drawing 2. In drawing 2 ROM 21 and 23 are EEPROMs CPU and 22 and the execution program and various data of CPU21 are memorized by ROM22 and EEPROM23.

[0025] The storage capacities of above-mentioned ROM22 are 1024 words x 12 bits for example and the storage capacities of above-mentioned EEPROM23 are 2048 words x 12 bits for example. These ROM22 and EEPROM23 are located in the same memory space. Rewriting of the execution program of above-mentioned CPU21 or various data is [ in / before long / the memory space of EEPROM23 ] possible.

[0026] That is although CPU21 executes various commands according to the memory content of ROM22 or EEPROM23 it can rewrite the command itself freely using EEPROM23. That is it is possible to rewrite the execution program of CPU21 freely from the outside of RFID.

[0027] Thus in this embodiment CPU21 is used instead of using the logical circuit in RFID of the conventional non-cell method. It not only can construct the protocol of an instruction execution now freely but by building in CPU21 simultaneous recognition of the electric wave transmitted and received by many RFID(s) comes made.

[0028] By CPU21 two or more operations can be simultaneously performed to the ability not to perform the next operation until one operation finishes it as a logical circuit. For example the data memorized by ROM22 can be read and processed during the writing of the data of EEPROM23. For this reason processing time as the whole can also be shortened now.

[0029] An exchange of the data between the above-mentioned CPU21 the above-mentioned ROM22 and the above-mentioned CPU21 and the above-mentioned EEPROM23 is performed via the address bus 25 and the data bus 26 respectively. Both the bus width of the above-mentioned address bus 25 and the data bus 26 is 12 bits. 1 word of ALU (arithmetic and logic unit) which it has in CPU21 and which is not illustrated or a register is also 12 bits.

[0030] Thus it becomes possible by 1 word of bus width and ALU or a register being 12 bits to describe the operation code and operand which constitute one command of CPU21 by 1 word. It becomes possible [ an IMITIE tor dress ] to describe by 1 word.

[0031] 24 is power/RF section. This power / RF section 24 combine the RF section which transmits and receives various data between the devices by the side of the host who does not illustrate and the power part which makes internal electrical power source electric power using the electric wave sent from the above-mentioned host side using the electric wave (for example electric wave of high frequency such as a radio frequency band).

[0032] That is data is transmitted [ S1 and S2 are the terminals for transmission and reception of an electric wave and / via these two terminals S1 for electric wave transmission and reception and S2 ] among some terminals with which above-mentioned power / RF section 24 are equipped and received by an electric wave by RFID of this embodiment and the host side who does not illustrate.

[0033] The resonant circuit which comprises the coil 30 for alignment and the capacitor 31 is connected to the above-mentioned terminal S1 for electric wave transmission and reception and S2. And according to change of the magnetic field generated by the electric wave transmitted to this resonant circuit by the external host a volts alternating current is derived to the coil 30 for alignment. Power / RF section 24 inputs the volts alternating current which did in this way and was derived via the above-mentioned terminal S1 for electric wave transmission and reception and S2 and he is trying to obtain internal electrical power source electric power by rectifying it to direct current voltage.

[0034] The direct current voltage generated by above-mentioned power / RF section 24 is outputted via the internal voltage terminal CVdd and internal ground terminal CGND. The smoothing capacitor 32 is connected to the above-mentioned internal voltage terminal CVdd and internal ground terminal CGND and stabilization of the direct current voltage outputted is attained.

[0035] Above-mentioned power / RF section 24 are connected to CPU21 the timer 28 and serial I/O Port 29 via I/O bus 27. According to this embodiment it becomes possible by building in the timer 31 in this way to realize the reset action by software. This timer 28 comprises 24 bit timers for example.

[0036] It is possible for three input/output terminal I/O<sub>0</sub>, I/O<sub>1</sub> and I/O<sub>2</sub> to be connected to above-mentioned serial I/O Port 29 and to connect external load via these input/output terminal I/O<sub>0</sub>, I/O<sub>1</sub> and I/O<sub>2</sub>. As external load LED (not shown) can be used for example.

[0037] Thus when LED is connected when RFID and the host of this embodiment approach and it enters within limits which can communicate LED can light up and a user can understand at a glance whether it can communicate or not. Above-mentioned power / RF section 24 also make the power supply for driving LED which is this external load.

[0038]1 chip making of CPU21ROM22 and EEPROM23 which were mentioned above the power/RF section 24 the address bus 25 the data bus 26 I/O bus 27 the timer 28 and serial I/O Port 29 is carried out and the semiconductor integrated circuit device of this embodiment is constituted.

[0039]Next the detailed composition and operation of power / RF section 24 above-mentioned using drawing 1 are explained. As shown in drawing 1 the power / RF section 24 of this embodiment are provided with the following.

Voltage commutation circuit 1.

Voltage regulator 2.

Reset circuit 3.

The FSK (frequency shift modulation) circuit 4 the PSK (phase deviation abnormal conditions) circuit 5 and the clock circuit 6.

[0040]The power part of this embodiment mentioned above is constituted by the voltage commutation circuit 1 the voltage regulator 2 and the reset circuit 3 among these composition. The RF section of this embodiment mentioned above is constituted by the FSK circuit 4 the PSK circuit 5 and the clock circuit 6.

[0041]First a power part is explained. While the two terminals S1 for electric wave transmission and reception and S2 are connected to the input side as for the above-mentioned voltage commutation circuit 1 the internal voltage terminal CVdd and internal ground terminal CGND are connected to the output side.

[0042]By rectifying the alternating current of the single phase inputted from the two terminals S1 for electric wave transmission and reception and S2 to direct current voltage this voltage commutation circuit 1 is controlled so that output voltage becomes almost fixed. It is preferred to use for this voltage commutation circuit 1 the full wave rectifier circuit which changes the both-directions ingredient (all for 1 cycle) of exchange into direct current voltage.

[0043]Drawing 3 is a figure showing the concrete example of composition of this voltage commutation circuit 1. As shown in drawing 3 between two terminal S1 for electric wave transmission and reception and S2 the four rectifiers D1-D4 are connected to a bridge type and the voltage commutation circuit 1 of this embodiment is constituted. The direct current voltage generated by this voltage commutation circuit 1 is outputted via the internal voltage terminal CVdd and internal ground terminal CGND.

[0044]The voltage regulator 2 is connected in parallel with the output side of the above-mentioned voltage commutation circuit 1. That is one input terminal of the above-mentioned voltage regulator 2 is connected to the above-mentioned internal voltage terminal CVdd and the input terminal of another side is connected to the above-mentioned internal ground terminal CGND. Thereby the direct current voltage generated in the above-mentioned voltage commutation circuit 1 is supplied to this voltage regulator 2.

[0045]This voltage regulator 2 is controlled to hold down the direct current voltage generated in the above-mentioned voltage commutation circuit 1 to below a constant level. Namely by applying limit operation when the direct current voltage supplied from the above-mentioned voltage commutation circuit 1 judges whether a predetermined threshold (for example 3V) is exceeded and exceeds the threshold it controls so that the size of the internal electrical power source voltage generated using the electric wave from the outside does not become larger than the above-mentioned predetermined threshold.

[0046]Even if the communication range of RFID of this embodiment and the host who does not illustrate becomes short and the volts alternating current derived to the coil 30 for alignment of drawing 2 becomes very large by forming such a voltage regulator 2. The size of the direct current voltage used as internal electrical power source voltage can be prevented from becoming large more than needed. By this when RFID and a host approach it can prevent supplying excessive electric power to built-in IC and the burden placed on IC can be lessened.

[0047]The reset circuit 3 is connected in parallel with the output side of the voltage commutation circuit 1 like the above-mentioned voltage regulator 2. That is one input terminal of the reset circuit 3 is connected to the above-mentioned internal voltage terminal CVdd and the input terminal of another side is connected to the above-mentioned internal ground terminal CGND. Thereby the direct current voltage (it is that voltage when limit operation is applied by the voltage regulator 2) generated in the above-mentioned voltage commutation circuit 1 is supplied to this reset circuit 3.

[0048]This reset circuit 3 is controlled to reset operation of CPU21 and EEPROM23 when the level of the direct current voltage supplied from the voltage commutation circuit 1 is smaller than a predetermined threshold. Such control is performed by controlling the level ("H" level or "L" level) of two reset-signal RST<sub>1</sub> and RST<sub>2</sub>. The above-mentioned predetermined threshold used for this reset circuit 3 is set as sufficient voltage level for CPU21 and EEPROM23 to operate normally.

[0049]When the communication range of RFID of this embodiment and the host who does not illustrate becomes long and the size of the direct current voltage generated in the voltage commutation circuit 1 becomes very small by forming such a reset circuit 3. It can prevent causing malfunction when CPU21 and EEPROM23 continue operating.

[0050]By the way when reset is applied by the reset circuit 3 as for a certain thing RFID is considered in the middle of a host and communication. In this case if all the built-in ICs are reset simultaneously it is possible that the contents of EEPROM23 will be rewritten by the malfunction at the time of reset.

[0051]As everyone knows EEPROM23 is a nonvolatile memory and even if the power is turned off the memory content is not lost. Therefore if the contents of EEPROM23 are rewritten by malfunction the mistaken contents will be left behind as it is and are remarkably inconvenient.

[0052] In this embodiment the above-mentioned inconvenience is prevented by operating the reset circuit 3 as follows. That is the reset action of CPU21 and EEPROM23 is controlled by this embodiment using three kinds of reset voltage  $V_{rst1}$ ,  $V_{rst2}$  and  $V_{rst3}$  to be shown in drawing 4.

[0053] In the graph shown in drawing 4a vertical axis shows a voltage level and the horizontal axis shows time. This graph expresses signs that the power supply voltage generated inside becomes small when the communication range of RFID of this embodiment and the host who does not illustrate becomes short gradually the power supply voltage generated inside becomes large and a communication range becomes long gradually after that.

[0054] In this drawing 4 the internal electrical power source voltage VDD (voltage which appears in the internal voltage terminal CVdd of drawing 1) in the process in which it becomes large gradually. A period until the voltage level reaches 1st reset voltage  $V_{rst1}$ . Both the 1st 2nd reset-signal RST<sub>1</sub> and RST<sub>2</sub> are "H" levels (the same voltage as the internal electrical power source voltage VDD) and both CPU21 and EEPROM23 are in a reset state.

[0055] And if the voltage level of the internal electrical power source voltage VDD reaches 1st reset voltage  $V_{rst1}$ . Both the 1st 2nd reset-signal RST<sub>1</sub> and RST<sub>2</sub> serve as the "L" level (the same voltage as internal ground voltage VGND) and as for both CPU21 and EEPROM23 a reset state is canceled. This 1st reset voltage  $V_{rst1}$  is 2.7V for example.

[0056] Subsequently by control of the voltage regulator 2 if the level of the internal electrical power source voltage VDD goes up further and amounts to 3V it will be stopped so that voltage may not go up any more. Then if the internal electrical power source voltage VDD becomes small gradually and a voltage level becomes small to 2nd reset voltage  $V_{rst2}$ . 2nd reset-signal RST<sub>2</sub> will be first set to "H" level and EEPROM23 will be reset. Thereby the writing of the data of EEPROM23 is forbidden.

[0057] This 2nd reset voltage  $V_{rst2}$  is set to a value slightly smaller than the value of reset voltage  $V_{rst1}$  of the above 1st for example 2.3V. Thus the following merits are obtained by setting 2nd reset voltage  $V_{rst2}$  as a value smaller than the value of 1st reset voltage  $V_{rst1}$ .

[0058] That is in drawing 4 when the communication range of RFID of this embodiment and the host who does not illustrate is near enough because of simplification of a figure it indicates that the level of the internal electrical power source voltage VDD generated inside is always kept at 3V but some voltage levels are changed actually. And the voltage level currently changed may be less than 2.7V which is 1st reset voltage  $V_{rst1}$ .

[0059] In this case if 2nd reset voltage  $V_{rst2}$  is set to 2.7V of the same value as 1st reset voltage  $V_{rst1}$  when the voltage level currently changed is less than 2.7V it will be reset although EEPROM23 does not have intention. Then if 2nd reset voltage  $V_{rst2}$  is set to 2.3V of a value smaller than 1st reset voltage  $V_{rst1}$  the voltage level currently

changed can be prevented from resetting EEPROM23 simply like this embodiment.  
[0060] Subsequently if the internal electrical power source voltage VDD becomes still smaller and a voltage level becomes small to 3rd reset voltage  $V_{rst3}$  next 1st reset-signal RST<sub>1</sub> will be set to "H" level and CPU21 will be reset. This 3rd reset voltage  $V_{rst3}$  is set for example as 2.0V.

[0061] Thus in this embodiment the relation of  $V_{rst1} > V_{rst2} > V_{rst3}$  is maintained when CPU21 is reset EEPROM23 is already reset and the writing of data is forbidden. The inconvenience that data mistaken by malfunction of CPU21 at the time of reset will be written in EEPROM23 by this can be lost.

[0062] Drawing 5 is a figure showing the concrete example of composition of the reset circuit 3 for realizing the above operations. Hereafter based on this drawing 5 the composition and operation of the reset circuit 3 which were explained using drawing 4 are explained.

[0063] In drawing 5 -- MP<sub>11</sub>, MP<sub>12</sub>, MP<sub>13</sub> and MP<sub>14</sub> -- the [the 1st -] -- P channel enhancement type transistor of four. MN<sub>11</sub> and MN<sub>12</sub> The 1st 2nd N channel enhancement type transistor MD<sub>11</sub> is N channel depression type transistor IV<sub>11</sub>, IV<sub>12</sub> and IV<sub>13</sub> and IV<sub>14</sub> is the 1st - the 4th inverter circuit.

[0064] As for P channel enhancement type transistor MP<sub>11</sub> of the above 1st the gate terminal is connected to internal ground terminal CGND and the source terminal is connected to the internal voltage terminal CVdd. A drain terminal The drain terminal of 2nd P channel enhancement type transistor MP<sub>12</sub> It is connected to the drain terminal of N channel depression type transistor MD<sub>11</sub> and a gate terminal and each gate terminal of the 1st 2nd N channel enhancement type transistor MN<sub>11</sub> and MN<sub>12</sub>. Hereafter voltage concerning this node is made into 1st voltage V<sub>1</sub>.

[0065] The source terminal of P channel enhancement type transistor MP<sub>12</sub> of the above 2nd is connected to the internal voltage terminal CVdd and the gate terminal is connected to the input terminal of 1st inverter circuit IV<sub>11</sub>. The source terminal of the above-mentioned N channel depression type transistor MD<sub>11</sub> is connected to internal ground terminal CGND.

[0066] As for 3rd P channel enhancement type transistor MP<sub>13</sub> the gate terminal is connected to internal ground terminal CGND and the source terminal is connected to the internal voltage terminal CVdd. The drain terminal is connected to the drain terminal of 1st N channel enhancement type transistor MN<sub>11</sub>, the gate terminal of 2nd P channel enhancement type transistor MP<sub>12</sub> and the input terminal of 1st inverter circuit IV<sub>11</sub>. Hereafter voltage concerning this node is made into 2nd voltage V<sub>2</sub>.

[0067] The source terminal which are the remaining terminals of N channel enhancement type transistor MN<sub>11</sub> of the above 1st is connected to internal ground terminal CGND. The output terminal of inverter circuit IV<sub>11</sub> of the above 1st is connected to the input terminal of 2nd inverter circuit IV<sub>12</sub> and 1st reset-signal RST<sub>1</sub> is outputted from the output terminal of this 2nd inverter circuit IV<sub>12</sub>.

[0068] As for 4th P channel enhancement type transistor MP<sub>14</sub> the gate terminal is

connected to internal ground terminal CGND and the source terminal is connected to the internal voltage terminal CVdd. The drain terminal is connected to the drain terminal of 2nd N channel enhancement type transistor MN<sub>12</sub> and the input terminal of 3rd inverter circuit IV<sub>13</sub>. Hereafter voltage concerning this node is made into 3rd voltage V<sub>3</sub>.

[0069]The source terminal which are the remaining terminals of N channel enhancement type transistor MN<sub>12</sub> of the above 2nd is connected to internal ground terminal CGND. The output terminal of inverter circuit IV<sub>13</sub> of the above 3rd is connected to the input terminal of 4th inverter circuit IV<sub>14</sub> and 2nd reset-signal RST<sub>2</sub> is outputted from the output terminal of this 4th inverter circuit IV<sub>14</sub>.

[0070]in such composition -- the [ the above 1st - ] -- the threshold voltage of P channel enhancement type transistor MP<sub>11</sub> of four MP<sub>12</sub>, MP<sub>13</sub> and MP<sub>14</sub>. And the threshold voltage of N channel depression type transistor MD<sub>11</sub> is set as - 0.6V respectively. The threshold voltage of the 1st 2nd N channel enhancement type transistor MN<sub>11</sub> and MN<sub>12</sub> is set as +0.6V respectively.

[0071]The internal electrical power source voltage VDD generated in the voltage commutation circuit 1 is supplied to the above-mentioned internal voltage terminal CVdd and internal ground voltage VGND is supplied to the above-mentioned internal ground terminal CGND. If 1st reset-signal RST<sub>1</sub> is set to "H" level CPU21 will be reset and EEPROM23 will be reset if 2nd reset-signal RST<sub>2</sub> is set to "H" level.

[0072]Hereafter operation is explained. First as shown in drawing 4 operation in case the internal electrical power source voltage VDD rises gradually from internal ground voltage VGND is explained.

[0073]First if the internal electrical power source voltage VDD becomes higher than the threshold voltage of 1st P channel enhancement type transistor MP<sub>11</sub>, P channel enhancement type transistor MP<sub>11</sub> of the above 1st will be in an ON state. Heresince the threshold voltage of 1st P channel enhancement type transistor MP<sub>11</sub> is -0.6V 1st P channel enhancement type transistor MP<sub>11</sub> is always an ON state irrespective of the value of the internal electrical power source voltage VDD.

[0074]The 3rd 4th P channel enhancement type transistor MP<sub>13</sub> Since the threshold voltage of MP<sub>14</sub> is also -0.6V it will always be in an ON state irrespective of the value of the internal electrical power source voltage VDD like [ / each of these transistor MP<sub>13</sub> and / MP ] 1st P channel enhancement type transistor MP<sub>11</sub>.

[0075]If 1st P channel enhancement type transistor MP<sub>11</sub> will be in an ON state and the internal electrical power source voltage VDD becomes still higher along with it 1st voltage V<sub>1</sub> will become higher than internal ground voltage VGND. 1st voltage V<sub>1</sub> is determined by the ratio of the on resistance value of 1st P channel enhancement type transistor MP<sub>11</sub> and N channel depression type transistor MD<sub>11</sub> at this time.

[0076]And if voltage V<sub>1</sub> of the above 1st becomes higher than the threshold voltage (+0.6V) of the 1st 2nd N channel enhancement type transistor MN<sub>11</sub> and MN<sub>12</sub> The above 1st 2nd N channel enhancement type transistor MN<sub>11</sub> and MN<sub>12</sub> will be in an ON state.

At this time the 3rd and 4th P channel enhancement type transistor  $MP_{13}$  and  $MP_{14}$  are already in an ON state.

[0077] For this reason the 2nd voltage  $V_2$  is determined by the ratio of the on resistance value of 3rd P channel enhancement type transistor  $MP_{13}$  and 1st N channel enhancement type transistor  $MN_{11}$ . The 3rd voltage  $V_3$  is determined by the ratio of the on resistance value of 4th P channel enhancement type transistor  $MP_{14}$  and 2nd N channel enhancement type transistor  $MN_{12}$ .

[0078] That is before the above 1st and 2nd N channel enhancement type transistors  $MN_{11}$  and  $MN_{12}$  will be in an ON state. The 2nd voltage  $V_2$  and 3rd voltage  $V_3$  are equal to both the internal electrical power source voltage VDD. On the other hand, the 1st voltage  $V_1$  becomes high with the rise of the internal electrical power source voltage VDD. The 2nd voltage  $V_2$  and 3rd voltage  $V_3$  begin to fall from the internal electrical power source voltage VDD as the 1st and 2nd N channel enhancement type transistors  $MN_{11}$  and  $MN_{12}$  are turned on.

[0079] In this embodiment, the on resistance of 1st N channel enhancement type transistor  $MN_{11}$ . Each transistor  $MN_{11}$  and  $MN_{12}$  are set up to become smaller than the on resistance of 2nd N channel enhancement type transistor  $MN_{12}$ , even when 1st voltage  $V_1$  is the same. By doing this way, the direction of 2nd voltage  $V_2$  becomes lower than the voltage of 3rd voltage  $V_3$ .

[0080] Thus, the 2nd voltage  $V_2$  and 3rd voltage  $V_3$  fall gradually from the internal electrical power source voltage VDD. First, the 2nd voltage  $V_2$  (the [internal electrical power source voltage VDD+] -- if it becomes below a level of threshold voltage) of P channel enhancement type transistor  $MP_{12}$  of two 2nd P channel enhancement type transistors  $MP_{12}$  will be in an ON state. Thereby, the 1st voltage  $V_1$  becomes high quickly.

[0081] When the 2nd voltage  $V_2$  is less than the logic inversion voltage by 1st inverter circuit  $IV_{11}$ , the voltage of 1st reset-signal RST<sub>1</sub> that logic inversion of the 2nd voltage  $V_2$  is carried out by 1st inverter circuit  $IV_{11}$  and 2nd inverter circuit  $IV_{12}$  and is outputted. It changes from the internal electrical power source voltage VDD (namely H level) to internal ground voltage VGND (namely L level).

[0082] According to the 1st voltage  $V_1$  becoming high quickly when P channel enhancement type transistor  $MP_{12}$  of the above 2nd will be in an ON state, the 3rd voltage  $V_3$  also becomes small and it is less than the logic inversion voltage by 3rd inverter circuit  $IV_{13}$ . Then, the voltage of 2nd reset-signal RST<sub>2</sub> that logic inversion of the 3rd voltage  $V_3$  is carried out by 3rd inverter circuit  $IV_{13}$  and 4th inverter circuit  $IV_{14}$  and is outputted also changes from the internal electrical power source voltage VDD to internal ground voltage VGND.

[0083] As mentioned above, since the 2nd P channel enhancement type transistor  $MP_{12}$  follows on being turned on and the 1st voltage  $V_1$  becomes high quickly, the value of the internal electrical power source voltage VDD in case 1st reset-signal RST<sub>1</sub> changes from H level to "L" level and the value of the internal electrical power source voltage VDD in case 2nd reset-signal RST<sub>2</sub> changes from H level to "L" level.

become almost equal. The internal electrical power source voltage VDD at this time is equivalent to 1st reset voltage  $V_{rst1}$  (for example 2.7V).

[0084] Next operation in case the internal electrical power source voltage VDD descends to internal ground voltage VGND gradually from saturation voltage (+3V) is explained. 1st voltage  $V_1$  begins to fall with descent of the internal electrical power source voltage VDD. 1st voltage  $V_1$  at this time The value of  $1/(on\ resistance\ of\ 1/1st\ P\ channel\ enhancement\ type\ transistor\ MP_{11}) + (on\ resistance\ of\ 1/2nd\ P\ channel\ enhancement\ type\ transistor\ MP_{12})$ A ratio with the on resistance value of N channel depression type transistor  $MD_{11}$  is determined.

[0085] 2nd voltage  $V_2$  and 3rd voltage  $V_3$  begin to go up as voltage  $V_1$  of the above 1st falls. At this time since the on resistance value of 1st N channel enhancement type transistor  $MN_{11}$  is smaller than the on resistance value of 2nd N channel enhancement type transistor  $MN_{12}$  3rd voltage  $V_3$  is higher than 2nd voltage  $V_2$ .

[0086] Therefore 3rd voltage  $V_3$  becomes higher than the logic inversion voltage of 3rd inverter circuit  $IV_{13}$  first as the internal electrical power source voltage VDD falls. Thereby the voltage of 2nd reset-signal  $RST_2$  changes from internal ground voltage VGND ("L" level) to the internal electrical power source voltage VDD ("H" level). The internal electrical power source voltage VDD at this time is equivalent to 2nd reset voltage  $V_{rst2}$  (for example 2.3V).

[0087] If the internal electrical power source voltage VDD furthermore falls 2nd voltage  $V_2$  will become higher than the logic inversion voltage of 1st inverter circuit  $IV_{11}$  next. The voltage of 1st reset-signal  $RST_1$  changes from internal ground voltage VGND ("L" level) to the internal electrical power source voltage VDD ("H" level). The internal electrical power source voltage VDD at this time is equivalent to 3rd reset voltage  $V_{rst3}$  (for example 2.0V).

[0088] Thus when the internal electrical power source voltage VDD becomes small in this embodiment When the internal electrical power source voltage VDD becomes small to 2nd reset voltage  $V_{rst2}$  first EEPROM23 is reset and also when the internal electrical power source voltage VDD becomes small to 3rd reset voltage  $V_{rst3}$ , he is trying to reset CPU21. That is before resetting CPU21 he certainly resets EEPROM23 and is trying to forbid the writing of data.

[0089] By doing in this way the inconvenience that data mistaken by malfunction of CPU21 at the time of reset will be written in EEPROM23 can be lost and CPU21 and EEPROM23 can always operate normally.

[0090] Next the RF section shown in drawing 1 is explained. The FSK circuit 4 and the PSK circuit 5 which constitute an RF section are connected to the two terminals S1 for electric wave transmission and reception above-mentioned respectively and S2. Here the above-mentioned FSK circuit 4 is used for data receiving and the above-mentioned PSK circuit 5 is used for data transmission.

[0091] That is the FSK circuit 4 transmits information by the shift of frequency. For example when the terminal S1 for electric wave transmission and reception and the

data value received by S2 are "1" a 125-kHz sine wave is sent out to a transmission line and when the received data value is "0" a 117.65-kHz sine wave is sent out to a transmission line.

[0092] The PSK circuit 5 transmits information by the shift of a phase. For example 4 phase phase modulation whose carrier frequency is 62.5 kHz can be used. In this case since there are four kinds of kinds of signal with 0 degree 90 degrees and 180-degree 270° with a phase transmission of 2 bits per signal is performed.

[0093] The clock circuit 6 generates the clock pulse used as the standard for detecting the signal of frequency which is different in the above-mentioned FSK circuit 4. For example the above-mentioned FSK circuit 4 detects a 125 kHz signal and a 117.65-kHz signal above-mentioned by carrying out dividing of the clock pulse supplied from the clock circuit 6 by a different division ratio according to a data value "1" and "0."

[0094] Thus in this embodiment transmission and reception of an electric wave are divided into an FSK system (reception) and an PSK method (transmission) and it is made to perform them. Unlike the conventional logical circuit CPU21 is built in in this embodiment. Therefore CPU21 can be recognized for the electric wave for transmission and the electric wave for reception and data can be transmitted now and received simultaneously.

[0095] When the communication range of RFID and a host separates and the internal electrical power source voltage VDD becomes smaller than a predetermined level in an above embodiment It enables it to prevent CPU21 and EEPROM23 from malfunctioning by resetting CPU21 and EEPROM23. On the other hand malfunction can be prevented by building in a storage battery.

[0096] That is while sufficient internal electrical power source voltage VDD for CPU21 and EEPROM23 to operate normally is obtained the above-mentioned storage battery is stored electricity. and when a possibility that the communication range of RFID and a host may separate and CPU21 and EEPROM23 may malfunction is alike to some extent and the until internal electrical power source voltage VDD becomes small the electric power which stored electricity the above-mentioned storage battery is used for operating CPU21 and EEPROM23.

[0097] If it does in this way a longer possibility that time reservation can be carried out and CPU21 and EEPROM23 may cause malfunction can be lessened more for sufficient electric power for CPU21 and EEPROM23 to carry out normal operation. Such a thing is realizable by for example using the smoothing capacitor 32 shown in drawing 2 as a storage battery.

[0098] However even if it can lengthen time in which normal operation is possible by using a storage battery when running out a storage battery it is also considered that CPU21 and EEPROM23 cause malfunction. However such malfunction is avoidable by using together a storage battery and the reset action (it is operation similar to a reset action correctly) mentioned above.

[0099] That is the storage battery is stored electricity while sufficient internal electrical power source voltage VDD for CPU21 and EEPROM23 to operate normally is obtained. And the communication range of RFID and a host separates and when the internal electrical power source voltage VDD becomes smaller than a predetermined value (sufficient value for CPU21 and EEPROM23 to carry out normal operation) CPU21 and EEPROM23 issue the end instruction of the processing performed now.

[0100] If this end instruction is issued CPU21 and EEPROM23 will operate as the processing which requires a current line terminated in CPU21 and EEPROM23 using the electric power which stored electricity the above-mentioned storage battery. If it does in this way it decreases that a power supply is shut off in the middle of processing of CPU21 and EEPROM23 and a possibility of causing malfunction can be lessened further.

[0101]

[Effect of the Invention] Since the voltage control means controlled so that the size of the internal electrical power source voltage generated by a voltage commutation means does not become larger than a predetermined value was established as this invention was mentioned above Even if the voltage level of the AC signal which was generated by electromagnetic induction and supplied from the electric wave transmitted from the exterior of a semiconductor integrated circuit device becomes very large the size of the direct current voltage used as internal electrical power source voltage can be prevented from becoming large more than needed.

[0102] For example while transmitting and receiving data between the exteriors using an electric wave the semiconductor integrated circuit device of this invention When it applies to RFID of the non-cell method which can make internal electrical power source electric power by electromagnetic induction from the received electric wave Even if the communication range of RFID and a communications-partner device becomes short and the volts alternating current generated by electromagnetic induction becomes very large The size of the direct current voltage used as internal electrical power source voltage can be prevented from becoming large more than needed it can prevent supplying excessive electric power to RFID and the burden placed on RFID can be lessened.

[0103] Since according to other features of this invention the resetting means which makes CPU and a memory measure a reset state was established when the voltage of the internal electrical power source electric power generated by a voltage commutation means was below a predetermined level The voltage level of the AC signal which was generated by electromagnetic induction and supplied from the electric wave transmitted from the exterior of a semiconductor integrated circuit device becomes small When the voltage of the internal electrical power source electric power generated becomes small even on the level with which a possibility that it may become impossible to operate normally has CPU and a memory measure it can lose

that CPU and the memory measure continue operating.

[0104]For examplewhen the semiconductor integrated circuit device of this invention is applied to RFID of a non-cell method. When the communication range of RFID and a communications-partner device becomes long and the power supply voltage of bulk generation becomes small even at a level with a possibility that it may become impossible for CPU and the memory measure to operate normallyIt can lose that CPU and the memory measure continue operatingand inconvenience from which CPU and EEPROM start malfunction can be lessened.

[0105]When the voltage of the direct current power obtained by a voltage commutation means becomes small gradually according to the feature of others of this inventionSince it was made to carry out the reset state of the CPU when a memory measure was made into a reset state when the above-mentioned direct current voltage becomes smaller than the 2nd thresholdand the above-mentioned direct current voltage became smaller than the 3rd threshold smaller than the 2nd threshold of the aboveAfter resetting a memory measure first and forbidding the writing of dataCPU can be resetand data mistaken by malfunction of CPU at the time of reset can lose the inconvenience written in a memory measure.

[0106]When the direct current voltage obtained by a voltage commutation means becomes large gradually according to the feature of others of this inventionSince the 2nd threshold of the above was made smaller than the 1st threshold used as the reference voltage of which the reset state of CPU and a memory measure is canceledIf not smaller than the 2nd threshold even if the voltage of the internal electrical power source generated by a voltage commutation means is smaller than the 1st thresholdit can avoid resetting a memory measureWhen the voltage of an internal electrical power source is less than the 1st threshold by change of the voltage level which is not meantit can avoid resetting a memory measure simplyand therebystabilization of operation can be attained.

[0107]The power storage means which stores electricity the direct current power generated from an derivation volts alternating current by a voltage commutation means according to the feature of others of this inventionSince the control means controlled to use the electric power accumulated in the above-mentioned power storage means as an internal electrical power source was established when the direct current voltage obtained by the above-mentioned voltage commutation means became smaller than a predetermined levelA longer possibility that time reservation can be carried out and RFID may cause malfunction by a power failure can be lessened for the power supply voltage of the bulk generation in which normal operation is possible.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is one embodiment of this invention and is a block diagram showing the composition of the power/RF section which expresses best the feature of RFID of the non-cell method by this invention.

[Drawing 2]It is a block diagram showing the overall composition of RFID of the non-cell method by this embodiment using the power/RF section shown in drawing 1.

[Drawing 3]It is a figure showing the concrete example of composition of the voltage commutation circuit shown in drawing 1.

[Drawing 4]It is a figure for explaining operation of the reset circuit shown in drawing 1.

[Drawing 5]It is a figure showing the concrete example of composition of the reset circuit shown in drawing 1.

[Description of Notations]

1 Voltage commutation circuit

2 Voltage regulator

3 Reset circuit

4 FSK circuit

5 PSK circuit

6 Clock circuit

21 CPU

22 ROM

23 EEPROM

24 Power/RF section

28 Timer

29 Serial I/O Port

30 The coil for alignment

31 Capacitor

32 Smoothing capacitor

S1 and S2 Terminal for electric wave transmission and reception

CVdd Internal voltage terminal

CGND Internal ground terminal

VDD Internal electrical power source voltage

VGND Internal ground voltage

RST<sub>1</sub>,a RST<sub>2</sub> reset signal

V<sub>rst1</sub> V<sub>rst2</sub> V<sub>rst3</sub> reset voltage

---

(19)日本国特許庁 (JP)

# (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-130999

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl.<sup>6</sup>  
H 02 J 17/00  
G 06 K 17/00

識別記号 執内整理番号

F I  
H 02 J 17/00  
G 06 K 17/00

技術表示箇所  
B  
F  
B

審査請求 未請求 請求項の数8 FD (全12頁)

(21)出願番号 特願平7-306445

(22)出願日 平成7年(1995)10月31日

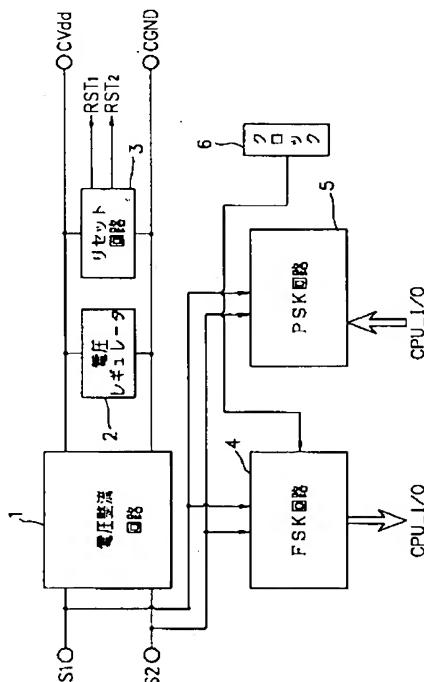
(71)出願人 000006655  
新日本製鐵株式会社  
東京都千代田区大手町2丁目6番3号  
(72)発明者 潤田 喜久三  
東京都千代田区大手町2-6-3 新日本  
製鐵株式会社内  
(72)発明者 石井 英一  
東京都千代田区大手町2-6-3 新日本  
製鐵株式会社内  
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 半導体集積回路装置及びこれを用いた無電池方式のRFID

## (57)【要約】

【課題】 ホストとの通信距離が短くなったときに過大な電力が供給されないようにするとともに、通信距離が長くなって供給される電力が少なくなったときに誤動作しないようにすることが可能な無電池方式のRFIDを提供する。

【解決手段】 電圧整流回路1で生成される直流電圧が所定値より大きくならないように制御する電圧レギュレータ2を設け、通信距離が短くなつて電磁誘導により発生する交流電圧が非常に大きくなつても、内部電源電圧として使用する直流電圧が必要以上に大きくならないようにする。また、上記直流電圧が所定レベル以下のときにCPUおよびEEPROMをリセットするリセット回路3を設け、通信距離が長くなつて、CPUおよびEEPROMが正常動作できなくなる恐れのあるレベルにまで内部電源電圧が小さくなつた場合においても、CPUおよびEEPROMが動作し続けるということがなくなるようにする。



**【特許請求の範囲】**

**【請求項1】** 外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段を内蔵する半導体集積回路装置であって、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくなないように制御する電圧制御手段を備えたことを特徴とする半導体集積回路装置。

**【請求項2】** データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段とを内蔵する半導体集積回路装置であって、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段を備えたことを特徴とする半導体集積回路装置。

**【請求項3】** 電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくなないように制御する電圧制御手段とを備えることを特徴とする無電池方式のRFID。

**【請求項4】** データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段とを備えることを特徴とする無電池方式のRFID。

**【請求項5】** データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであつて、

て、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくなないように制御する電圧制御手段と、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態するリセット手段とを備えることを特徴とする無電池方式のRFID。

**【請求項6】** 上記リセット手段は、上記電圧整流手段により得られる直流電圧が徐々に大きくなっていく場合に、上記直流電圧が第1のしきい値よりも大きくなったときに上記CPUおよび上記記憶手段のリセット状態を解除するとともに、上記電圧整流手段により得られる直流電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに上記記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときに上記CPUをリセット状態することを特徴とする請求項4または5に記載の無電池方式のRFID。

**【請求項7】** 上記第2のしきい値は、上記第1のしきい値よりも小さいことを特徴とする請求項6に記載の無電池方式のRFID。

**【請求項8】** 電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電力を蓄電する蓄電手段と、

上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなったときに上記蓄電手段に蓄積されている直流電力を内部電源電力として利用するように制御する制御手段とを備えることを特徴とする無電池方式のRFID。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体集積回路装置およびこれを用いた無電池方式のRFID (Radio Frequency Identification) に関するものである。

**【0002】**

**【従来の技術】** 近年、IC (集積回路) を内蔵したICカードが様々な分野で利用されつつある。従来のICカードは、EEPROM (電気的に消去可能なプログラマ

ブルROM) を内蔵しており、上記EEPROMにデータを記憶したり、このEEPROMに記憶されているデータを用いて所定の命令を実行したりするようになされていた。

【0003】しかし、このようなICカードを使用する場合は、カードリーダなどの専用の読み取り装置にICカードを挿入しなくてはならないため、非常に面倒であった。そこで、最近では、無線周波数帯の電波を使ってホスト側とデータをやり取りすることにより、カードを一々挿入することなく簡便に操作できるようにした非接触方式のICカード、すなわち、RFID(Radio Frequency Identification)あるいはデータキャリアが提案されるに至っている。

【0004】ところで、上記RFIDを動作させるためには、その内蔵ICに電力を供給することが必要である。そのため、従来は、IC駆動用の電池を内蔵したRFIDが多く提案されていた。一方、近年ではホスト側から送られてくる電波を利用して内部で電力をつくり出すことができるようになした無電池方式のRFIDも提案されている。

【0005】すなわち、このような無電池方式のRFIDでは、ホスト側から送られてくる電波から電磁誘導により交流電圧を発生させ、それを直流電圧に整流することにより、IC駆動に必要な電力を内部でつくり出すことができるようになっていた。

【0006】従来、このような無電池方式のRFIDは、種々のデータを記憶するためのEEPROMと、上記EEPROMに記憶されているデータに従って動作するロジック回路と、電波を使ってホスト側とデータのやり取りを行うためのRF部と、ホスト側から送られてくる電波を用いて電力をつくり出すパワー部とを備えるのが一般的であった。

#### 【0007】

【発明が解決しようとする課題】上記従来の無電池方式のRFIDでは、電磁誘導による起電力の大きさは、ホストとRFIDとの距離(通信距離)の2乗に比例して変化するようになっていた。このため、通信距離が短くなり過ぎると、ICに過大な電力が供給されてしまい、ICに必要以上に大きな負担をかけてしまうという問題があった。

【0008】一方、通信距離が離れると、ICに供給される電力は小さくなり、上記ICは電力不足で動作しないようになる。この場合、従来のRFIDは、電力不足で動作しなくなる限界までICが動作し続けるようになっていた。しかしながら、これでは、ICが正常に動作するために必要な電力が十分に得られないにもかかわらずICが動作し続けることとなり、誤動作を起こしてしまうことがあるという問題があった。

【0009】本発明は、このような問題を解決するために成されたものであり、ホストとの通信距離が短くなっ

たときに過大な電力が供給されないようにするとともに、ホストとの通信距離が長くなって供給される電力が少なくなったときに誤動作しないようにすることを目的とする。

#### 【0010】

【課題を解決するための手段】本発明の半導体集積回路装置は、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段を内蔵する半導体集積回路装置であって、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段を備えたことを特徴としている。

【0011】本発明の他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段とを内蔵する半導体集積回路装置であって、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段を備えたことを特徴としている。

【0012】また、本発明の無電池方式のRFIDは、電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段とを備えることを特徴としている。

【0013】本発明の他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段とを備えることを特徴としている。

【0014】本発明のその他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行う

とともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくなないように制御する電圧制御手段と、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態するリセット手段とを備えることを特徴としている。

【0015】本発明のその他の特徴とするとところは、上記リセット手段は、上記電圧整流手段により得られる直流電圧が徐々に大きくなっていく場合に、上記直流電圧が第1のしきい値よりも大きくなったときに上記CPUおよび上記記憶手段のリセット状態を解除するとともに、上記電圧整流手段により得られる直流電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに上記記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときに上記CPUをリセット状態することを特徴としている。

【0016】本発明のその他の特徴とするとところは、上記第2のしきい値は、上記第1のしきい値よりも小さいことを特徴としている。

【0017】本発明のその他の特徴とするとところは、電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電力を蓄電する蓄電手段と、上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなったときに上記蓄電手段に蓄積されている直流電力を内部電源電力として利用するように制御する制御手段とを備えることを特徴としている。

【0018】本発明は上記技術手段より成るので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが非常に大きくなってしまっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくなないように制御される。例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が短くなり、電磁誘導により発生する交流電圧が非常に大きくなってしまっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくなないように制御される。

【0019】また、本発明の他の特徴によれば、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが小さくなり、発生される内部電源電圧がCPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなった場合に、CPUおよび記憶手段が動作し続けるということがなくなる。例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が長くなつて、電圧整流手段により生成される直流電圧の大きさが、CPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなつた場合に、CPUおよび記憶手段が動作し続けるということがなくなる。

【0020】また、本発明の他の特徴によれば、リセット手段によりCPUおよび記憶手段がリセットにされる際に、まず最初に記憶手段がリセットされてデータの書き込みが禁止され、その後でCPUがリセットされるようになり、リセット時における誤動作によって誤ったデータが記憶手段に書き込まれてしまう不都合が防止される。

【0021】また、本発明の他の特徴によれば、CPUおよび記憶手段のリセット状態が解除される第1のしきい値よりも、記憶手段がリセット状態にされる第2のしきい値の方が小さいので、電圧整流手段により生成される内部電源電圧が第1のしきい値より小さくても第2のしきい値より小さくなければ記憶手段はリセットされないようになり、意図しない電圧レベルの変動によって内部電源電圧が第1のしきい値を下回った場合に記憶手段が簡単にリセットされないようになる。

【0022】また、本発明の他の特徴によれば、本発明のRFIDが正常動作するのに十分な内部電源電圧が得られている間に蓄電が行われるとともに、内部電源電圧の大きさが内蔵ICが正常動作できなくなる恐れのあるレベルにまで小さくなつたときに、上記蓄電された電力が内部電源電力として利用されるようになり、正常動作を可能にする内部電源電力がより長い時間確保されるようになる。

【0023】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態による無電池方式のRFIDの特徴を最もよく表すパワー／RF部の構成を示すブロック図であり、図2は、図1に示すパワー／RF部を利用した無電池方式のRFIDの構成を示すブロック図である。

【0024】まず、図2を用いて本実施形態による無電池方式のRFIDの全体構成および動作について説明する。図2において、21はCPU、22はROM、23はEEPROMであり、ROM22やEEPROM23には、CPU21の実行プログラムや種々のデータが記憶されるようになっている。

【0025】上記ROM22の記憶容量は、例えば1024ワード×12ビットであり、上記EEPROM23の記憶容量は、例えば2048ワード×12ビットである。これらのROM22およびEEPROM23は、同一のメモリ空間に位置している。そのうち、EEPROM23のメモリ空間においては、上記CPU21の実行プログラムや種々のデータの書き換えが可能である。

【0026】すなわち、CPU21は、ROM22やEEPROM23の記憶内容に従って種々の命令を実行するが、その命令そのものをEEPROM23を使って自由に書き換えることが可能である。つまり、CPU21の実行プログラムをRFIDの外部から自由に書き換えることが可能である。

【0027】このように、本実施形態では、従来の無電池方式のRFIDにおいてロジック回路を用いていた代わりに、CPU21を用いている。CPU21を内蔵することにより、命令実行のプロトコルを自由に組むことができるようになるだけでなく、多数のRFIDで送受信される電波の同時認識もできるようになる。

【0028】また、ロジック回路では1つの動作が終わるまで次の動作を行うことができないのに対して、CPU21では複数の動作を同時に実行することができる。例えば、EEPROM23へのデータの書き込み中に、ROM22に記憶されているデータを読み出して処理することができる。このため、全体としての処理時間を短くすることもできるようになる。

【0029】上記CPU21と上記ROM22、および上記CPU21と上記EEPROM23との間のデータのやり取りは、それぞれアドレスバス25およびデータバス26を介して行われる。上記アドレスバス25およびデータバス26のバス幅は、共に12ビットである。また、CPU21内に備えられている図示しないALU(算術論理演算ユニット)やレジスタの1ワードも12ビットである。

【0030】このように、バス幅、およびALUやレジスタの1ワードを12ビットとすることにより、CPU21の1つの命令を構成するオペコードおよびオペランドを1ワードで記述することが可能となる。また、イミティエートアドレスも1ワードで記述することが可能となる。

【0031】24はパワー／RF部である。このパワー／RF部24は、電波(例えば、無線周波数帯などの高周波の電波)を使って、図示しないホスト側の装置との間で種々のデータを送受信するRF部と、上記ホスト側から送られてくる電波を用いて内部電源電力をつくり出すパワー部とを兼ね備えている。

【0032】すなわち、上記パワー／RF部24に備えられているいくつかの端子のうち、S1、S2は電波の送受信用端子であり、これら2つの電波送受信用端子S1、S2を介して本実施形態のRFIDと図示しないホ

スト側とで電波によりデータを送受信するようになっている。

【0033】また、上記電波送受信用端子S1、S2には、同調用コイル30とコンデンサ31とから成る共振回路が接続されている。そして、この共振回路に外部のホストから送信される電波によって発生する磁界の変化に応じて同調用コイル30に交流電圧が誘導される。パワー／RF部24は、このようにして誘導された交流電圧を上記電波送受信用端子S1、S2を介して入力し、それを直流電圧に整流することにより内部電源電力を得るようにしている。

【0034】上記パワー／RF部24で生成された直流電圧は、内部電圧端子CVDdおよび内部グランド端子CGNDを介して出力される。上記内部電圧端子CVDdおよび内部グランド端子CGNDには、平滑化コンデンサ32が接続されており、出力される直流電圧の安定化が図られている。

【0035】上記パワー／RF部24は、I/Oバス27を介してCPU21、タイマー28およびシリアルI/Oポート29に接続されている。本実施形態では、このようにタイマー31を内蔵することにより、ソフトウェアによるリセット動作を実現することができる。このタイマー28は、例えば、24ビットタイマーで構成される。

【0036】また、上記シリアルI/Oポート29には3つの入出力端子I/O0、I/O1、I/O2が接続されており、これらの入出力端子I/O0、I/O1、I/O2を介して外部負荷を接続することができる。外部負荷としては、例えばLED(図示せず)を用いることができる。

【0037】このようにLEDを接続した場合は、本実施形態のRFIDとホストとが近づいて通信可能な範囲内に入ったときにLEDが点灯するようにすることができ、通信が可能かどうかをユーザが一目で分かるようにすることができる。この外部負荷であるLEDを駆動するための電源をつくり出すのも上記パワー／RF部24である。

【0038】本実施形態の半導体集積回路装置は、上述したCPU21、ROM22、EEPROM23、パワー／RF部24、アドレスバス25、データバス26、I/Oバス27、タイマー28およびシリアルI/Oポート29が1チップ化されて構成される。

【0039】次に、図1を用いて上記したパワー／RF部24の詳細な構成および動作について説明する。図1に示すように、本実施形態のパワー／RF部24は、電圧整流回路1と、電圧レギュレータ2と、リセット回路3と、FSK(周波数偏移変調)回路4と、PSK(位相偏移変調)回路5と、クロック回路6とを備えている。

【0040】これらの構成のうち、電圧整流回路1、電

圧レギュレータ2およびリセット回路3により、上述した本実施形態のパワー部が構成される。また、FSK回路4、PSK回路5およびクロック回路6により、上述した本実施形態のRF部が構成される。

【0041】まず最初に、パワー部について説明する。上記電圧整流回路1は、その入力側に2つの電波送受信用端子S1、S2が接続されるとともに、出力側に内部電圧端子CVddおよび内部グランド端子CGNDが接続されている。

【0042】この電圧整流回路1は、2つの電波送受信用端子S1、S2より入力される単相の交流電圧を直流電圧に整流することにより、出力電圧がほぼ一定になるよう制御するものである。この電圧整流回路1には、交流の両方向成分（1サイクル分の全て）を直流電圧に変換する全波整流回路を用いるのが好ましい。

【0043】図3は、この電圧整流回路1の具体的な構成例を示す図である。図3に示すように、本実施形態の電圧整流回路1は、2つの電波送受信用端子S1、S2の間に4つの整流素子D1～D4がブリッジ型に接続されて構成されている。この電圧整流回路1により生成された直流電圧は、内部電圧端子CVddおよび内部グランド端子CGNDを介して出力される。

【0044】電圧レギュレータ2は、上記電圧整流回路1の出力側に並列に接続されている。すなわち、上記電圧レギュレータ2の一方の入力端子は上記内部電圧端子CVddに接続され、他方の入力端子は上記内部グランド端子CGNDに接続されている。これにより、上記電圧整流回路1で生成された直流電圧がこの電圧レギュレータ2に供給される。

【0045】この電圧レギュレータ2は、上記電圧整流回路1で生成される直流電圧を一定レベル以下に抑えるように制御するものである。すなわち、上記電圧整流回路1より供給される直流電圧が所定のしきい値（例えば3V）を越えるかどうかを判断し、そのしきい値を越える場合はリミット動作をかけることにより、外部からの電波を使って生成する内部電源電圧の大きさが上記所定のしきい値よりも大きくならないように制御する。

【0046】このような電圧レギュレータ2を設けることにより、本実施形態のRFIDと図示しないホストとの通信距離が短くなり、図2の同調用コイル30に誘導される交流電圧が非常に大きくなってしまって、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないようにすることができる。これにより、RFIDとホストとが近づいたときに内蔵ICに過大な電力が供給されることを防ぎ、ICにかかる負担を少なくすることができます。

【0047】また、リセット回路3は、上記電圧レギュレータ2と同様に、電圧整流回路1の出力側に並列に接続されている。すなわち、リセット回路3の一方の入力端子は上記内部電圧端子CVddに接続され、他方の入

力端子は上記内部グランド端子CGNDに接続されている。これにより、上記電圧整流回路1で生成された直流電圧（電圧レギュレータ2でリミット動作がかけられているときはその電圧）がこのリセット回路3に供給される。

【0048】このリセット回路3は、電圧整流回路1より供給される直流電圧のレベルが所定のしきい値より小さいときに、CPU21およびEEPROM23の動作をリセットするように制御するものである。このような制御は、2つのリセット信号RST1、RST2のレベル（“H”レベルまたは“L”レベル）を制御することによって行う。また、このリセット回路3に用いられる上記所定のしきい値は、CPU21およびEEPROM23が正常に動作するのに十分な電圧レベルに設定される。

【0049】このようなりセット回路3を設けることにより、本実施形態のRFIDと図示しないホストとの通信距離が長くなつて、電圧整流回路1で生成される直流電圧の大きさが非常に小さくなつたときに、CPU21およびEEPROM23が動作し続けることによって誤動作を起こしてしまうことを防ぐことができる。

【0050】ところで、リセット回路3によりリセットがかけられた時点でRFIDがホストと通信途中であることとも考えられる。この場合に内蔵ICの全てを同時にリセットすると、リセット時における誤動作によってEEPROM23の内容が書き換えられてしまうことが考えられる。

【0051】周知のように、EEPROM23は不揮発性のメモリであり、電源が切られてもその記憶内容は失われない。したがつて、EEPROM23の内容が誤動作によって書き換えられると、その誤った内容がそのまま残されてしまうことになり、著しく不都合である。

【0052】そこで、本実施形態では、リセット回路3を以下のように動作させることにより、上記の不都合を防止している。すなわち、本実施形態では、図4に示すように、3種類のリセット電圧Vrst1、Vrst2、Vrst3を利用してCPU21およびEEPROM23のリセット動作を制御している。

【0053】図4に示すグラフにおいて、縦軸は電圧レベルを示し、横軸は時間を示している。このグラフは、本実施形態のRFIDと図示しないホストとの通信距離が徐々に短くなることによって内部で生成される電源電圧が大きくなつていき、その後、通信距離が徐々に長くなることによって内部で生成される電源電圧が小さくなつていく様子を表している。

【0054】この図4において、内部電源電圧VDD（図1の内部電圧端子CVddに現れる電圧）が徐々に大きくなつていく過程で、その電圧レベルが第1のリセット電圧Vrst1に達するまでの期間は、第1、第2のリセット信号RST1、RST2は共に“H”レベル（内

部電源電圧VDDと同じ電圧)であり、CPU21およびEEPROM23は両方ともリセット状態にある。

【0055】そして、内部電源電圧VDDの電圧レベルが第1のリセット電圧Vrst1に達すると、第1、第2のリセット信号RST<sub>1</sub>、RST<sub>2</sub>は共に“L”レベル(内部グランド電圧VGNDと同じ電圧)となり、CPU21およびEEPROM23は両方ともリセット状態が解除される。この第1のリセット電圧Vrst1は、例えば2.7Vである。

【0056】次いで、内部電源電圧VDDのレベルが更に上がっていって3Vに達すると、電圧レギュレータ2の制御により、それ以上電圧が上がらないように抑えられる。その後、内部電源電圧VDDが徐々に小さくなつていき、第2のリセット電圧Vrst2まで電圧レベルが小さくなると、まず最初に第2のリセット信号RST<sub>2</sub>が“H”レベルになり、EEPROM23がリセットされる。これにより、EEPROM23へのデータの書き込みが禁止される。

【0057】この第2のリセット電圧Vrst2は、上記第1のリセット電圧Vrst1の値よりもわずかに小さな値、例えば2.3Vに設定される。このように、第2のリセット電圧Vrst2を第1のリセット電圧Vrst1の値よりも小さな値に設定することにより、以下のようなメリットが得られる。

【0058】すなわち、図4においては、図の簡略化のために、本実施形態のRFIDと図示しないホストとの通信距離が十分に近い場合に内部で生成される内部電源電圧VDDのレベルが常に3Vに保たれているように示されているが、実際には電圧レベルは多少変動している。そして、その変動している電圧レベルが、第1のリセット電圧Vrst1である2.7Vを下回ることがある。

【0059】この場合に、第2のリセット電圧Vrst2を第1のリセット電圧Vrst1と同じ値の2.7Vとしておくと、変動している電圧レベルが2.7Vを下回ったときにEEPROM23が意図していないのにリセットされてしまう。そこで、本実施形態のように、第2のリセット電圧Vrst2を第1のリセット電圧Vrst1よりも小さい値の2.3Vとしておけば、変動している電圧レベルによってEEPROM23が簡単にリセットされないようにすることができる。

【0060】次いで、内部電源電圧VDDが更に小さくなつて第3のリセット電圧Vrst3まで電圧レベルが小さくなると、次に第1のリセット信号RST<sub>1</sub>が“H”レベルになり、CPU21がリセットされる。この第3のリセット電圧Vrst3は、例えば2.0Vに設定される。

【0061】このように、本実施形態においては、Vrst1>Vrst2>Vrst3の関係が保たれており、CPU21がリセットされるときにはEEPROM23は既にリセットされ、データの書き込みが禁止されている。これにより、リセット時におけるCPU21の誤動作によつて誤ったデータがEEPROM23に書き込まれてしまうという不都合をなくすことができる。

【0062】図5は、以上のような動作を実現するためのリセット回路3の具体的な構成例を示す図である。以下、この図5に基づいて、図4を用いて説明したリセット回路3の構成および動作について説明する。

【0063】図5において、MP11、MP12、MP13、MP14は第1～第4のPチャンネルエンハンスマント型トランジスタ、MN11、MN12は第1、第2のNチャンネルエンハンスマント型トランジスタ、MD11はNチャンネルデプレッション型トランジスタ、IV11、IV12、IV13、IV14は第1～第4のインバータ回路である。

【0064】上記第1のPチャンネルエンハンスマント型トランジスタMP11は、そのゲート端子が内部グランド端子CGNDに接続され、ソース端子が内部電圧端子CVddに接続されている。また、ドレイン端子は第2のPチャンネルエンハンスマント型トランジスタMP12のドレイン端子と、Nチャンネルデプレッション型トランジスタMD11のドレイン端子およびゲート端子と、第1、第2のNチャンネルエンハンスマント型トランジスタMN11、MN12の各ゲート端子とに接続されている。以下、この接続点にかかる電圧を第1の電圧V1とする。

【0065】上記第2のPチャンネルエンハンスマント型トランジスタMP12のソース端子は内部電圧端子CVddに接続され、ゲート端子は第1のインバータ回路IV11の入力端子に接続されている。また、上記Nチャンネルデプレッション型トランジスタMD11のソース端子は内部グランド端子CGNDに接続されている。

【0066】また、第3のPチャンネルエンハンスマント型トランジスタMP13は、そのゲート端子が内部グランド端子CGNDに接続され、ソース端子が内部電圧端子CVddに接続されている。また、ドレイン端子は第1のNチャンネルエンハンスマント型トランジスタMN11のドレイン端子と、第2のPチャンネルエンハンスマント型トランジスタMP12のゲート端子と、第1のインバータ回路IV11の入力端子とに接続されている。以下、この接続点にかかる電圧を第2の電圧V2とする。

【0067】上記第1のNチャンネルエンハンスマント型トランジスタMN11の残りの端子であるソース端子は内部グランド端子CGNDに接続されている。また、上記第1のインバータ回路IV11の出力端子は第2のインバータ回路IV12の入力端子に接続され、この第2のインバータ回路IV12の出力端子から第1のリセット信号RST<sub>1</sub>が出力されるようになっている。

【0068】また、第4のPチャンネルエンハンスマント型トランジスタMP14は、そのゲート端子が内部グランド端子CGNDに接続され、ソース端子が内部電圧端子CVddに接続されている。また、ドレイン端子は第

2のNチャンネルエンハンスマント型トランジスタMN12のドレイン端子と、第3のインバータ回路IV13の入力端子とに接続されている。以下、この接続点にかかる電圧を第3の電圧V3とする。

【0069】上記第2のNチャンネルエンハンスマント型トランジスタMN12の残りの端子であるソース端子は内部グランド端子CGNDに接続されている。また、上記第3のインバータ回路IV13の出力端子は第4のインバータ回路IV14の入力端子に接続され、この第4のインバータ回路IV14の出力端子から第2のリセット信号RST2が出力されるようになっている。

【0070】このような構成において、上記第1～第4のPチャンネルエンハンスマント型トランジスタMP11, MP12, MP13, MP14のしきい値電圧、およびNチャンネルデプレッシャン型トランジスタMD11のしきい値電圧は、それぞれ-0.6Vに設定されている。また、第1、第2のNチャンネルエンハンスマント型トランジスタMN11, MN12のしきい値電圧は、それぞれ+0.6Vに設定されている。

【0071】また、上記内部電圧端子CVddには電圧整流回路1で生成される内部電源電圧VDDが供給され、上記内部グランド端子CGNDには内部グランド電圧VGNDが供給される。また、第1のリセット信号RST1が“H”レベルになるとCPU21がリセットされ、第2のリセット信号RST2が“H”レベルになるとEEPROM23がリセットされるようになっている。

【0072】以下、動作について説明する。まず最初に、図4に示すように、内部電源電圧VDDが内部グランド電圧VGNDから徐々に上昇していく場合の動作について説明する。

【0073】まず、内部電源電圧VDDが第1のPチャンネルエンハンスマント型トランジスタMP11のしきい値電圧より高くなると、上記第1のPチャンネルエンハンスマント型トランジスタMP11はオン状態となる。ここで、第1のPチャンネルエンハンスマント型トランジスタMP11のしきい値電圧は-0.6Vであるので、第1のPチャンネルエンハンスマント型トランジスタMP11は、内部電源電圧VDDの値にかかわらず常にオン状態である。

【0074】また、第3、第4のPチャンネルエンハンスマント型トランジスタMP13, MP14のしきい値電圧も-0.6Vであるから、これらの各トランジスタMP13, MP14についても第1のPチャンネルエンハンスマント型トランジスタMP11と同様に、内部電源電圧VDDの値にかかわらず常にオン状態となる。

【0075】第1のPチャンネルエンハンスマント型トランジスタMP11がオン状態となり、内部電源電圧VDDが更に高くなると、それにつれて第1の電圧V1は内部グランド電圧VGNDよりも高くなる。このとき、第

1の電圧V1は、第1のPチャンネルエンハンスマント型トランジスタMP11とNチャンネルデプレッシャン型トランジスタMD11とのオン抵抗値の比により決定される。

【0076】そして、上記第1の電圧V1が、第1、第2のNチャンネルエンハンスマント型トランジスタMN11, MN12のしきい値電圧(+0.6V)より高くなると、上記第1、第2のNチャンネルエンハンスマント型トランジスタMN11, MN12はオン状態となる。このとき、第3、第4のPチャンネルエンハンスマント型トランジスタMP13, MP14は既にオン状態となっている。

【0077】このため、第2の電圧V2は、第3のPチャンネルエンハンスマント型トランジスタMP13と第1のNチャンネルエンハンスマント型トランジスタMN11とのオン抵抗値の比によって決定される。また、第3の電圧V3は、第4のPチャンネルエンハンスマント型トランジスタMP14と第2のNチャンネルエンハンスマント型トランジスタMN12とのオン抵抗値の比によって決定される。

【0078】すなわち、上記第1、第2のNチャンネルエンハンスマント型トランジスタMN11, MN12がオン状態となる前は、第2の電圧V2および第3の電圧V3は共に内部電源電圧VDDと等しくなっている。これに対して、内部電源電圧VDDの上昇に伴って第1の電圧V1が高くなり、第1、第2のNチャンネルエンハンスマント型トランジスタMN11, MN12がオン状態になるに従い、上記第2の電圧V2および第3の電圧V3は内部電源電圧VDDから下がり始める。

【0079】本実施形態では、第1のNチャンネルエンハンスマント型トランジスタMN11のオン抵抗が、第2のNチャンネルエンハンスマント型トランジスタMN12のオン抵抗よりも小さくなるように各トランジスタMN11, MN12を設定しておく。このようにすることにより、第1の電圧V1が同じでも、第2の電圧V2の方が第3の電圧V3の電圧よりも低くなる。

【0080】このようにして第2の電圧V2および第3の電圧V3が内部電源電圧VDDから徐々に下がっていき、まず第2の電圧V2が(内部電源電圧VDD+第2のPチャンネルエンハンスマント型トランジスタMP12のしきい値電圧)のレベル以下になると、第2のPチャンネルエンハンスマント型トランジスタMP12がオン状態となる。これにより、第1の電圧V1が急速に高くなる。

【0081】これに伴い、第2の電圧V2が第1のインバータ回路IV11による論理反転電圧を下回ったときに、第1のインバータ回路IV11および第2のインバータ回路IV12により第2の電圧V2が論理反転されて出力される第1のリセット信号RST1の電圧は、内部電源電圧VDD(すなわち“H”レベル)から内部グランド電圧VGND(すなわち“L”レベル)へと遷移す

る。

【0082】また、上記第2のPチャンネルエンハンスマント型トランジスタMP12がオン状態となることにより第1の電圧V1が急速に高くなるのに従って、第3の電圧V3も小さくなり、第3のインバータ回路IV13による論理反転電圧を下回る。すると、第3のインバータ回路IV13および第4のインバータ回路IV14により第3の電圧V3が論理反転されて出力される第2のリセット信号RST2の電圧も、内部電源電圧VDDから内部グランド電圧VGNDAへと遷移する。

【0083】上述のように、第2のPチャンネルエンハンスマント型トランジスタMP12がオン状態になるに伴って、第1の電圧V1は急速に高くなるので、第1のリセット信号RST1が“H”レベルから“L”レベルへ遷移するときの内部電源電圧VDDの値と、第2のリセット信号RST2が“H”レベルから“L”レベルへ遷移するときの内部電源電圧VDDの値とは、ほぼ等しくなる。このときの内部電源電圧VDDが第1のリセット電圧Vrst1(例えば2.7V)に相当する。

【0084】次に、内部電源電圧VDDが飽和電圧(+3V)から内部グランド電圧VGNDAへと徐々に下降していく場合の動作について説明する。第1の電圧V1は、内部電源電圧VDDの下降に伴って下がり始める。このとき、第1の電圧V1は、 $1/(1/(1/\text{第1のPチャンネルエンハンスマント型トランジスタMP11のオン抵抗}) + (1/\text{第2のPチャンネルエンハンスマント型トランジスタMP12のオン抵抗})}$ の値と、Nチャンネルデプレッション型トランジスタMD11のオン抵抗値との比により決定される。

【0085】上記第1の電圧V1が下がるにつれて、第2の電圧V2および第3の電圧V3は上がり始める。このとき、第1のNチャンネルエンハンスマント型トランジスタMN11のオン抵抗値は第2のNチャンネルエンハンスマント型トランジスタMN12のオン抵抗値より小さいため、第3の電圧V3は第2の電圧V2より高くなっている。

【0086】したがって、内部電源電圧VDDが下がるにつれて、まず第3の電圧V3が第3のインバータ回路IV13の論理反転電圧より高くなる。これにより、第2のリセット信号RST2の電圧が、内部グランド電圧VGNDA(“L”レベル)から内部電源電圧VDD(“H”レベル)へと遷移する。このときの内部電源電圧VDDが第2のリセット電圧Vrst2(例えば2.3V)に相当する。

【0087】さらに内部電源電圧VDDが下がっていくと、次に第2の電圧V2が第1のインバータ回路IV11の論理反転電圧よりも高くなり、第1のリセット信号RST1の電圧が、内部グランド電圧VGNDA(“L”レベル)から内部電源電圧VDD(“H”レベル)へと遷移する。このときの内部電源電圧VDDが第3のリセッ

ト電圧Vrst3(例えば2.0V)に相当する。

【0088】このように、本実施形態では、内部電源電圧VDDが小さくなっていくときに、まず最初に内部電源電圧VDDが第2のリセット電圧Vrst2まで小さくなった時点でEEPROM23をリセットし、更に内部電源電圧VDDが第3のリセット電圧Vrst3まで小さくなった時点でCPU21をリセットするようしている。つまり、CPU21をリセットする前に必ずEEPROM23をリセットしてデータの書き込みを禁止するようしている。

【0089】このようにすることにより、リセット時ににおけるCPU21の誤動作によって誤ったデータがEEPROM23に書き込まれてしまうという不都合をなくすことができ、CPU21およびEEPROM23が常に正常に動作するようにすることができる。

【0090】次に、図1に示したRF部について説明する。RF部を構成するFSK回路4およびPSK回路5は、それぞれ上記した2つの電波送受信用端子S1, S2に接続されている。ここで、上記FSK回路4はデータ受信用に用いられ、上記PSK回路5はデータ送信用に用いられる。

【0091】すなわち、FSK回路4は、周波数のシフトにより情報を伝送する。例えば、電波送受信用端子S1, S2で受信したデータ値が“1”であるときには125KHzの正弦波を伝送路に送り出し、受信したデータ値が“0”であるときには117.65KHzの正弦波を伝送路に送り出すようとする。

【0092】また、PSK回路5は、位相のシフトにより情報を伝送する。例えば、搬送周波数が62.5KHzの4相位相変調を用いることができる。この場合は、信号の種類が位相で0°、90°、180°、270°と4種類があるので、1つの信号あたり2ビットの伝送が行われる。

【0093】また、クロック回路6は、上記FSK回路4で異なる周波数の信号を検出するための基準となるクロックパルスを発生するものである。例えば、上記FSK回路4は、クロック回路6より供給されるクロックパルスをデータ値“1”、“0”に応じて異なる分周比で分周することにより上記した125KHzの信号および117.65KHzの信号を検出する。

【0094】このように、本実施形態では、電波の送受信をFSK方式(受信)とPSK方式(送信)とに分けて行うようしている。また、本実施形態では、従来のロジック回路と異なり、CPU21を内蔵している。したがって、送信用の電波と受信用の電波とをCPU21が認識することができ、データの送受信を同時にを行うことができるようになる。

【0095】なお、以上の実施形態では、RFIDとホストとの通信距離が離れて内部電源電圧VDDが所定レベルよりも小さくなったときに、CPU21およびEE

PROM23をリセットすることにより、CPU21およびEEPROM23が誤動作しないようにすることができるようしている。これに対して、蓄電池を内蔵することにより誤動作を防止するようにすることもできる。

【0096】すなわち、CPU21およびEEPROM23が正常に動作するのに十分な内部電源電圧VDDが得られている間に上記蓄電池に蓄電しておく。そして、RFIDとホストとの通信距離が離れてCPU21やEEPROM23が誤動作してしまう恐れがある程度にまで内部電源電圧VDDが小さくなったときに、上記蓄電池に蓄電しておいた電力をCPU21およびEEPROM23を動作させるのに用いるようとする。

【0097】このようにすれば、CPU21およびEEPROM23が正常動作するのに十分な電力をより長い時間確保することができ、CPU21およびEEPROM23が誤動作を起こしてしまう恐れをより少なくすることができる。このようなことは、例えば、図2に示した平滑化コンデンサ32を蓄電池として用いることで実現可能である。

【0098】ただし、蓄電池を用いることによって正常動作可能な時間を長くすることができても、蓄電池が切れるときにCPU21およびEEPROM23が誤動作を起こしてしまうことも考えられる。しかし、このような誤動作は、蓄電池と上述したリセット動作（正確にはリセット動作に類似の動作）とを併用することにより回避することができる。

【0099】すなわち、CPU21およびEEPROM23が正常に動作するのに十分な内部電源電圧VDDが得られている間に蓄電池に蓄電しておく。そして、RFIDとホストとの通信距離が離れて内部電源電圧VDDが所定値（CPU21やEEPROM23が正常動作するのに十分な値）よりも小さくなったときに、CPU21およびEEPROM23が現在実行している処理の終了命令を出す。

【0100】この終了命令が出されたら、CPU21およびEEPROM23は、上記蓄電池に蓄電しておいた電力を用いてCPU21およびEEPROM23が現在行っている処理を終了させるように動作する。このようにすれば、CPU21およびEEPROM23の処理途中で電源が切れてしまうことが少なくなり、誤動作を起こしてしまう恐れを更に少なくすることができる。

【0101】

【発明の効果】本発明は上述したように、電圧整流手段により生成される内部電源電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段を設けたので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが非常に大きくなってしまっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないよう

にすることができる。

【0102】例えば、本発明の半導体集積回路装置を、電波を使って外部との間でデータを送受信するとともに、受信した電波から電磁誘導により内部電源電力をつくり出すことが可能な無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が短くなり、電磁誘導により生成される交流電圧が非常に大きくなってしまっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないようになることができる。RFIDに過大な電力が供給されることを防ぎ、RFIDにかかる負担を少なくすることができる。

【0103】また、本発明の他の特徴によれば、電圧整流手段により生成される内部電源電力の電圧が所定レベル以下のときにCPUおよび記憶手段をリセット状態にするリセット手段を設けたので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが小さくなり、発生される内部電源電力の電圧がCPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなった場合においても、CPUおよび記憶手段が動作し続けるということをなくすことができる。

【0104】例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が長くなってしまって、CPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで内部発生の電源電圧が小さくなった場合に、CPUおよび記憶手段が動作し続けるということをなくすことができ、CPUおよびEEPROMが誤動作を起こしてしまう不都合を少なくすることができる。

【0105】また、本発明のその他の特徴によれば、電圧整流手段により得られる直流電力の電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときにCPUをリセット状態するようにしたので、まず最初に記憶手段をリセットしてデータの書き込みを禁止した後でCPUをリセットするようにすることができ、リセット時におけるCPUの誤動作によって誤ったデータが記憶手段に書き込まれてしまう不都合をなくすことができる。

【0106】また、本発明のその他の特徴によれば、電圧整流手段により得られる直流電圧が徐々に大きくなっていく際に、CPUおよび記憶手段のリセット状態を解除する基準電圧となる第1のしきい値よりも上記第2のしきい値を小さくしたので、電圧整流手段により生成される内部電源の電圧が第1のしきい値より小さくても第2のしきい値より小さくなれば記憶手段はリセットされないようにすることができ、意図しない電圧レベルの変動によって内部電源の電圧が第1のしきい値を下回った場合に記憶手段が簡単にリセットされないようにする

ことができ、これにより、動作の安定化を図ることができる。

【0107】また、本発明のその他の特徴によれば、電圧整流手段によって誘導交流電圧から生成される直流電力を蓄電する蓄電手段と、上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなつたときに上記蓄電手段に蓄積されている電力を内部電源として利用するように制御する制御手段とを設けたので、正常動作可能な内部発生の電源電圧をより長い時間確保することができ、RFIDが電力不足によって誤動作を起こしてしまう恐れを少なくすることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態であり、本発明による無電池方式のRFIDの特徴を最もよく表すパワー／RF部の構成を示すブロック図である。

【図2】図1に示したパワー／RF部を利用した本実施形態による無電池方式のRFIDの全体的な構成を示すブロック図である。

【図3】図1に示した電圧整流回路の具体的な構成例を示す図である。

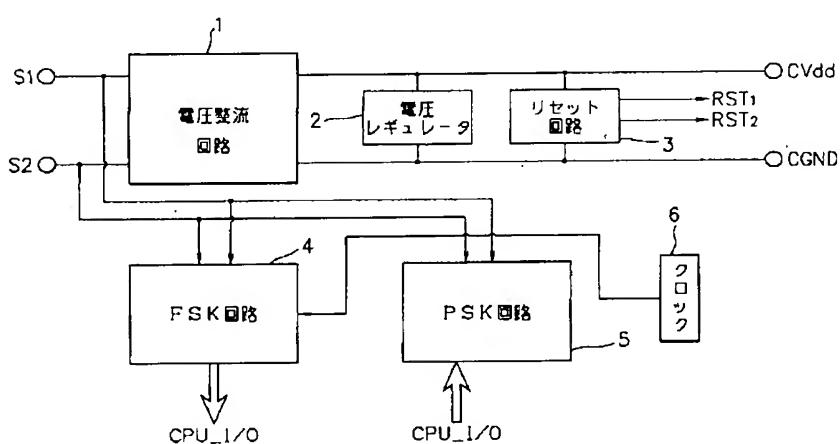
【図4】図1に示したリセット回路の動作を説明するための図である。

【図5】図1に示したリセット回路の具体的な構成例を示す図である。

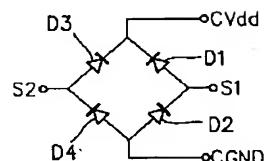
#### 【符号の説明】

- 1 電圧整流回路
- 2 電圧レギュレータ
- 3 リセット回路
- 4 FSK回路
- 5 PSK回路
- 6 クロック回路
- 21 CPU
- 22 ROM
- 23 EEPROM
- 24 パワー／RF部
- 28 タイマー
- 29 シリアルI/Oポート
- 30 同調用コイル
- 31 コンデンサ
- 32 平滑化コンデンサ
- S1, S2 電波送受信用端子
- CVdd 内部電圧端子
- CGND 内部グランド端子
- VDD 内部電源電圧
- VGND 内部グランド電圧
- RST<sub>1</sub>, RST<sub>2</sub> リセット信号
- Vrst<sub>1</sub>, Vrst<sub>2</sub>, Vrst<sub>3</sub> リセット電圧

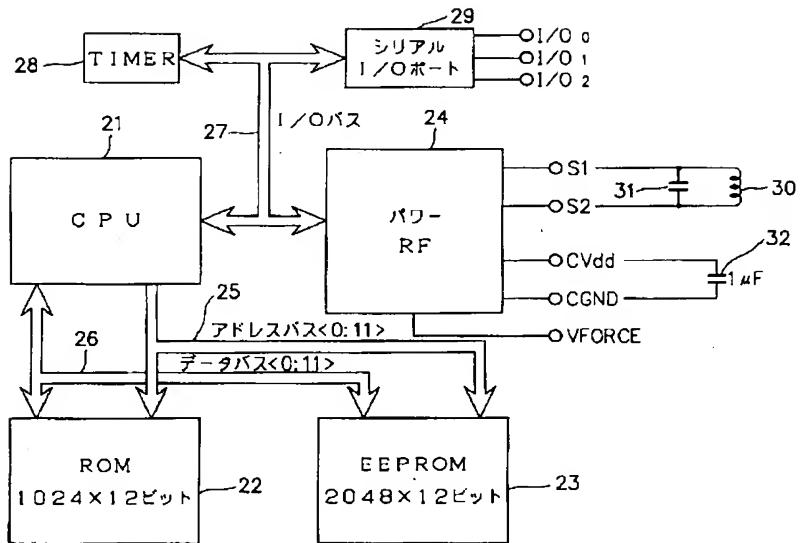
【図1】



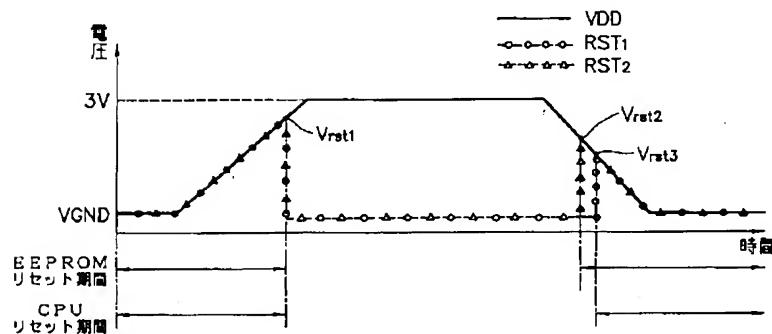
【図3】



【図2】



【図4】



【図5】

